

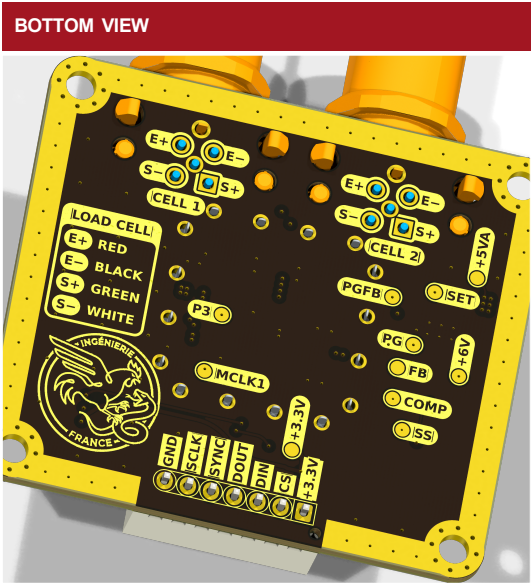
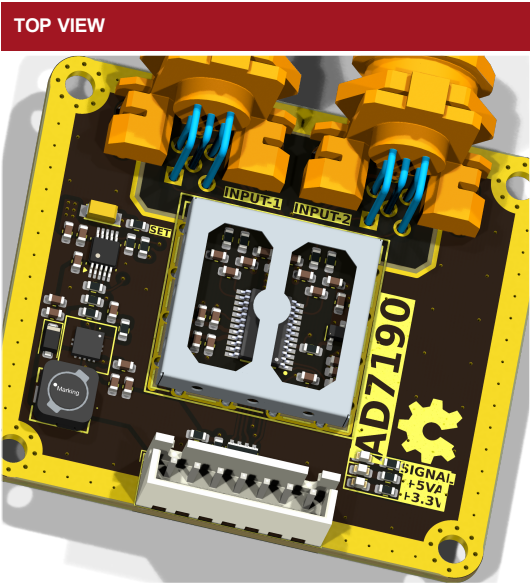
AD7190

Variant:

2026-10-24

Rev + (Unreleased)

Page	Index	Page	Index	Page	Index	Page	Index
1	Cover Page	11		21		31	
2	Block Diagram	12		22		32	
3	Project Architecture	13		23		33	
4	AD7190_Weight_Sensor	14		24		34	
5	Power_Supply	15		25		35	
6	Holes, Fiducials	16		26		36	
7	Connectors	17		27		37	
8	Power - Sequencing	18		28		38	
9	Revision History	19		29		39	
10		20		30		40	



NOTES

OPEN_WEIGHT - AD7190 24-bit load-cell front-end, part of OPEN THRUST LAB.
Single +3.3 V host supply, SPI interface, 2 x 4-wire bridge inputs.

Not fitted components are marked as **X**

DRAFT - Very early stage of schematic, ignore details.

PRELIMINARY - Close to final schematic.

CHECKED - There shouldn't be any mistakes. Contact the engineer if you find any.

RELEASED - A board with this schematic has been sent to production.

Date: 24-Oct-2026

DESIGN CONSIDERATIONS

DESIGN NOTE:
+3.3V host ->
TPS61086
6 V -> LT3042 +5VA
(AVDD + excitation)

DEBUG NOTE:
TP on every rail.
Wait >= 600 ms (PG)
before ADC init.

DESIGN NOTE:
SPI mode 3,
SCLK <= 5 MHz,
RDY on DOUT.

DESIGN NOTE:
REFIN1 = bridge
excitation:
ratiometric.

LAYOUT NOTE:
AFE under the
WE-SHC shield H5,
boost SW node
away.



Comments:	Company: OPEN THRUST LAB		Variant:	Git Hash: ea7f156
	Board Name: AD7190		Project Name: OPEN_WEIGHT	
Sheet Title: OPEN_WEIGHT - AD7190	File Name: OPEN_WEIGHT.kicad_sch	Designer: SIEBERT DIMITRY	Date: 2026-09-29	Revision: + (Unreleased)
Sheet Path: /		Reviewer:	Size: A3	Sheet: 1 of 9

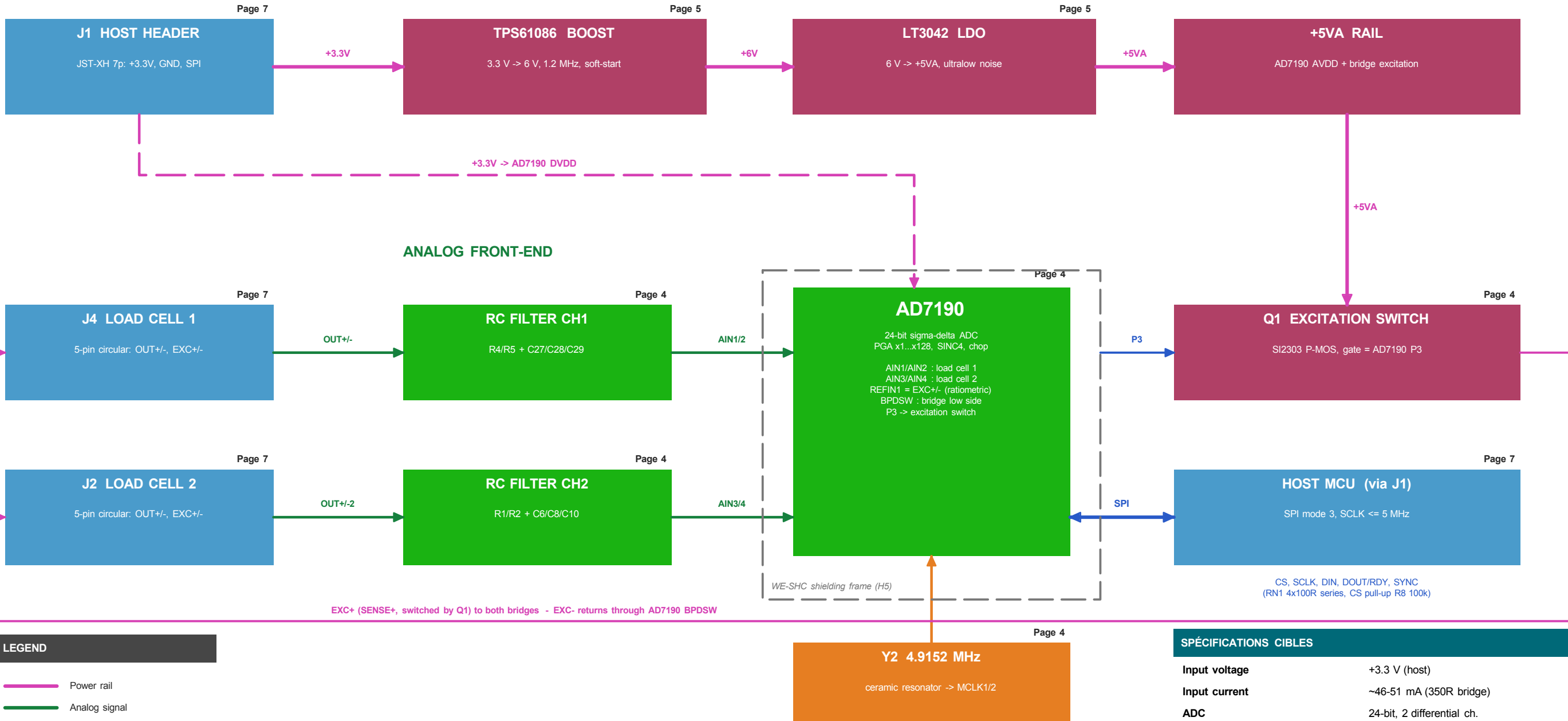
[2] Block Diagram

SCHÉMA BLOC · CHAÎNE DE MESURE (2 CELLULES DE CHARGE) ET ALIMENTATION

HOST / CONNECTORS

POWER CONVERSION

ANALOG SUPPLY



SPÉCIFICATIONS CIBLES

Input voltage	+3.3 V (host)
Input current	~46-51 mA (350R bridge)
ADC	24-bit, 2 differential ch.
Reference	ratiometric, EXC = +5VA
Board size	57.0 x 50.75 mm, 4 layers



Comments:	Company: OPEN THRUST LAB		Variant:	Git Hash: ea7f156
	Board Name: AD7190		Project Name: OPEN_WEIGHT	
	Sheet Title: Block Diagram	File Name: Block Diagram.kicad_sch	Designer: SIEBERT DIMITRY	Date: 2026-09-29
Sheet Path: /Block Diagram/		Reviewer:	Size: A3	Revision: + (Unreleased)
			Sheet: 2 of 9	

[3] Project Architecture

Sheet hierarchy and signal flow. Click a block or its page number to open the sheet.

HOST INTERFACE

Connectors

J1 host header 7-pin: +3.3V, GND, SPI
J2 / J4 load cells 1 & 2
5-pin circular: OUT±, EXC±
H5 WE-SHC shielding frame (AD7190)

Page 7

POWER SUPPLY · BOOST + LDO

Power_Supply

Boost converter +3.3V -> +6V
IC2 TPS61086, 1.2 MHz, soft-start
L1 + Schottky D3, +3.3V LED D1
Test points TP14-TP16

+6V

Ultralow-noise LDO +6V -> +5VA
U2 LT3042, SET = 100 µA x 50 kΩ
Tantalum C14 on SET, +5VA LED D4
Test points TP10-TP13, TP17

+5VA

AVDD + excitation

Page 5

ANALOG FRONT-END

AD7190_Weight_Sensor

U1 AD7190 24-bit sigma-delta ADC
2 differential ch., RC input filters
Ratiometric ref, REFIN1 = EXC±
Y2 4.9152 MHz, Q1 excitation switch
Test points TP1-TP9, TP18

Page 4

Load cells 1 & 2: OUT± -> AIN1-AIN4, EXC± from +5VA via Q1 / BPDSW

SPI mode 3: CS, SCLK, DIN, DOUT/RDY, SYNC

+3.3V -> AD7190 DVDD

MECHANICAL

Holes, Fiducials

H1-H4 mounting holes
FID1-FID6 fiducials
No electrical function

Page 6

LEGEND

- Power rail
- Secondary supply
- Analog signal
- Digital / SPI

DOCUMENT INDEX

- [1] Title Page

[2] Block Diagram

[3] Project Architecture

[4] AD7190 Weight Sensor

[5] Power Supply - Analog Rails
- [6] Holes, Fiducials

[7] Connectors

[8] Power Sequencing

[9] Revision History



Comments:	Company: OPEN THRUST LAB		Variant:	Git Hash: ea7f156
	Board Name: AD7190		Project Name: OPEN_WEIGHT	
Sheet Title: Project Architecture	File Name: Project Architecture.kicad_sch	Designer: SIEBERT DIMITRY	Date: 2026-09-29	Revision: + (Unreleased)
Sheet Path: /Project Architecture/		Reviewer:	Size: A3	Sheet: 3 of 9

Sheet:
4 of 9

4 of 9

8

[5] Power Supply - Analog Rails

BOOST · IC2 TPS61086, +3.3V → +6V, 1.2 MHz

FB : R17 69.8 kΩ / R15 18 kΩ → 6.04 V · COMP : R18 37.4 kΩ + C17 2.2 nF · SS : C18 0.1 μF · MODE = GND (Power Save)

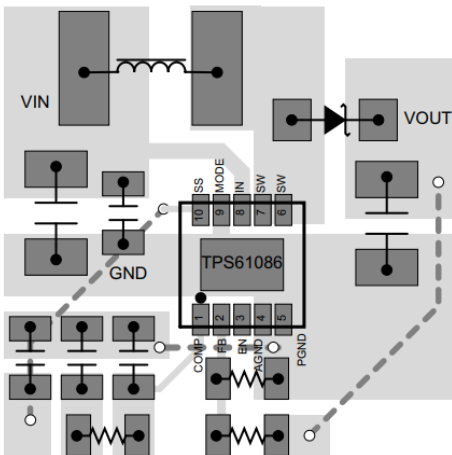
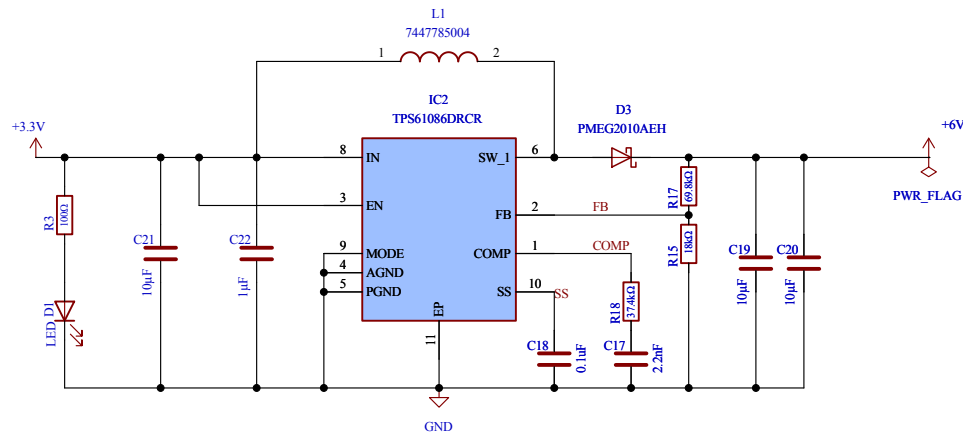


Figure 26 de la datasheet TPS61086 : placement recommandé

DESCRIPTION

Chaîne : +3.3V (hôte, J1) → IC2 TPS61086, boost 1.2 MHz → +6V → U2 LT3042, LDO très bas bruit → +5VA.
Le boost laisse = 1 V de marge au LDO ; le +5VA alimente AVDD de l'AD7190 et l'excitation des ponts (page 4).
IC2 : interrupteur intégré 2.0 A / 0.13 Ω, L1 4.7 μH, D3 Schottky, régulation par R17 / R15 sur FB.
U2 : source de courant 100 μA dans R9 (SET), suiveur de gain unitaire, 0.8 μV rms de 10 Hz à 100 kHz.
Témoins : D1 sur +3.3V, D4 sur +5VA. Simulé dans Simulation/LTspice (modèle comportemental du TPS61086).

DESIGN NOTE · BOOST

- EN = +3.3V : démarre avec l'hôte. MODE = GND : Power Save à faible charge, raies sous 1.2 MHz quand les ponts sont coupés ; MODE à IN forcerait le PWM à fréquence fixe.
- COMP : R18 37.4 kΩ + C17 2.2 nF vers AGND. SS : C18 0.1 μF chargé par 10 μA, limite le courant d'appel.
- L1 Würth 7447785004 : 4.7 μH, blindée, Isat 2.5 A. D3 PMEG2010AEH : Schottky 20 V / 1 A.
- Entrée C21 10 μF + C22 1 μF, sortie C19 + C20 10 μF. D1 par R3 100 Ω : ≈ 15 mA, presque un quart du courant pris à l'hôte.

DESIGN NOTE · LDO

- IN et ENVUV sur +6V, ILIM à GND (limite interne). C16 4.7 μF en entrée, C13 4.7 μF + C15 10 μF en sortie (4.7 μF minimum pour la stabilité).
- SET : R9 50 kΩ + C14 2.2 μF tantale solide KYOCERA AVX TAJA225K016RNJ (16 V, boîtier A, ESR 6.5 Ω) : pas d'effet piézo comme une céramique, important avec les vibrations du banc (datasheet p.16).
- PGFB : R12 715 kΩ / R13 50 kΩ. PG (drain ouvert) tiré à +6V par R14 200 kΩ, sur TP17 seulement. D4 par R16 620 Ω.

LAYOUT NOTE

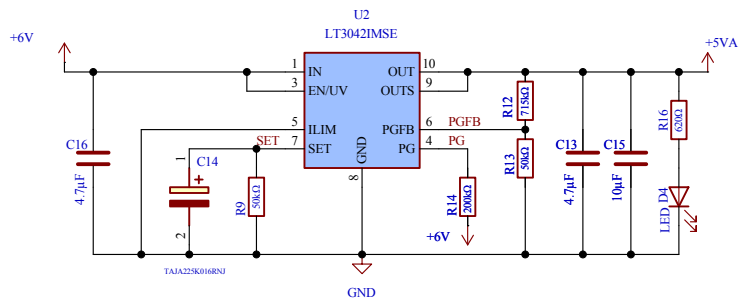
- Boucle SW → D3 → C19 / C20 → PGND la plus courte : source principale du couplage magnétique vers les entrées de l'AD7190 (openEMS). Boucle d'entrée C21 / C22 → L1 → IC2 compacte, L1 loin des voies AIN.
- Nœud SW minimal, réseau COMP / FB / SS sur AGND à l'écart de SW : pads exposés de IC2 et U2 au plan GND par vias.
- C14 et R9 au ras de SET (nœud 50 kΩ), OUTS en Kelvin sur les condensateurs de sortie, U2 loin de SW.

CALCULS & BUDGET

Boost
 $V_{OUT} = 1.238 \text{ V} \times (1 + 69.8 \text{ k}\Omega / 18 \text{ k}\Omega) = 6.04 \text{ V}$ (sim 01 : 6.037 V)
 $D = (6.04 + 0.35 - 3.3) / 6.39 = 0.48$; $I_{out} = 23 \text{ mA}$ → conduction discontinue, $I_{pk} \approx 0.16 \text{ A}$ (sim 03 : 0.17 A)
Démarrage : 90 % en 1.1 ms, dépassement 6.35 V, appel 1.13 A < Isat 2.5 A
LDO
 $V_{OUT} = 100 \mu\text{A} \times 50 \text{ k}\Omega = 5.00 \text{ V}$; $V_{PG} = 0.3 \text{ V} \times (1 + 715 \text{ k}\Omega / 50 \text{ k}\Omega) = 4.59 \text{ V}$
 $\tau = R_{SET} \times C_{SET} = 110 \text{ ms}$: 99 % en 241 ms, 99.9 % en 494 ms
Marge $1.04 \text{ V} \times \approx 23 \text{ mA} = 24 \text{ mW}$ (+ 12 mW de courant de repos)
Bruit et consommation
+6V : 0.7 mV crête-crête (bande 20 MHz) ; PSRR 92 dB à 1.2 MHz ; +5VA < 1 μV crête-crête
+3.3V pris à l'hôte : 66.5 mA, dont D1 ≈ 15 mA et D4 = 5 mA

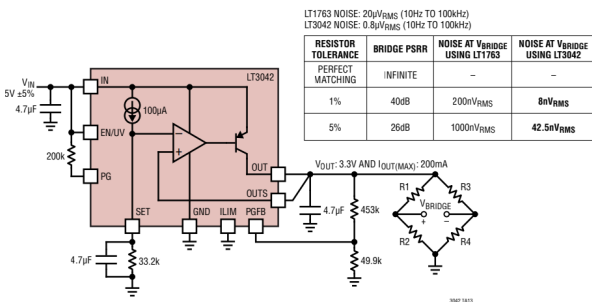
LDO TRÈS BAS BRUIT · U2 LT3042, +6V → +5VA

RSET = R9 50 kΩ, CSET = C14 2.2 μF tantale, PG à 4.59 V (R12 / R13)



TYPICAL APPLICATIONS

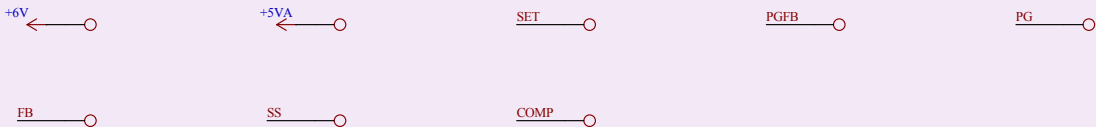
Low Noise Wheatstone Bridge Power Supply



Typical Applications de la datasheet LT3042 : topologie seulement

TEST POINTS

Pastilles de test CMS Ø1.5 mm (TestPoint_Pad_D1.5mm), hors BOM. Rails : TP11 +6V, TP10 +5VA (le +3.3V est sur TP4, page 4). LDO : TP12 SET (nœud 50 kΩ : sonde à haute impédance), TP13 PGFB, TP17 PG. Boost : TP14 FB, TP15 SS (rampe de démarrage), TP16 COMP (boucle).



Comments:

References:

T1 TPS61086 datasheet
L1 7447785004, D3 PMEG2010AEH
LT3042 datasheet, Analog Devices

Company:

OPEN THRUST LAB

Board Name:

AD7190

Sheet Title:

Power Supply - Analog Rails

File Name:

Power Supply - Analog Rails.kicad_sch

Designer:

SIEBERT DIMITRY

Sheet Path:

/Project Architecture/Power_Supply/

Reviewer:

Variant:

Git Hash:

ea7f156

Project Name:

OPEN_WEIGHT

Date:

2026-09-29

Revision:

+ (Unreleased)

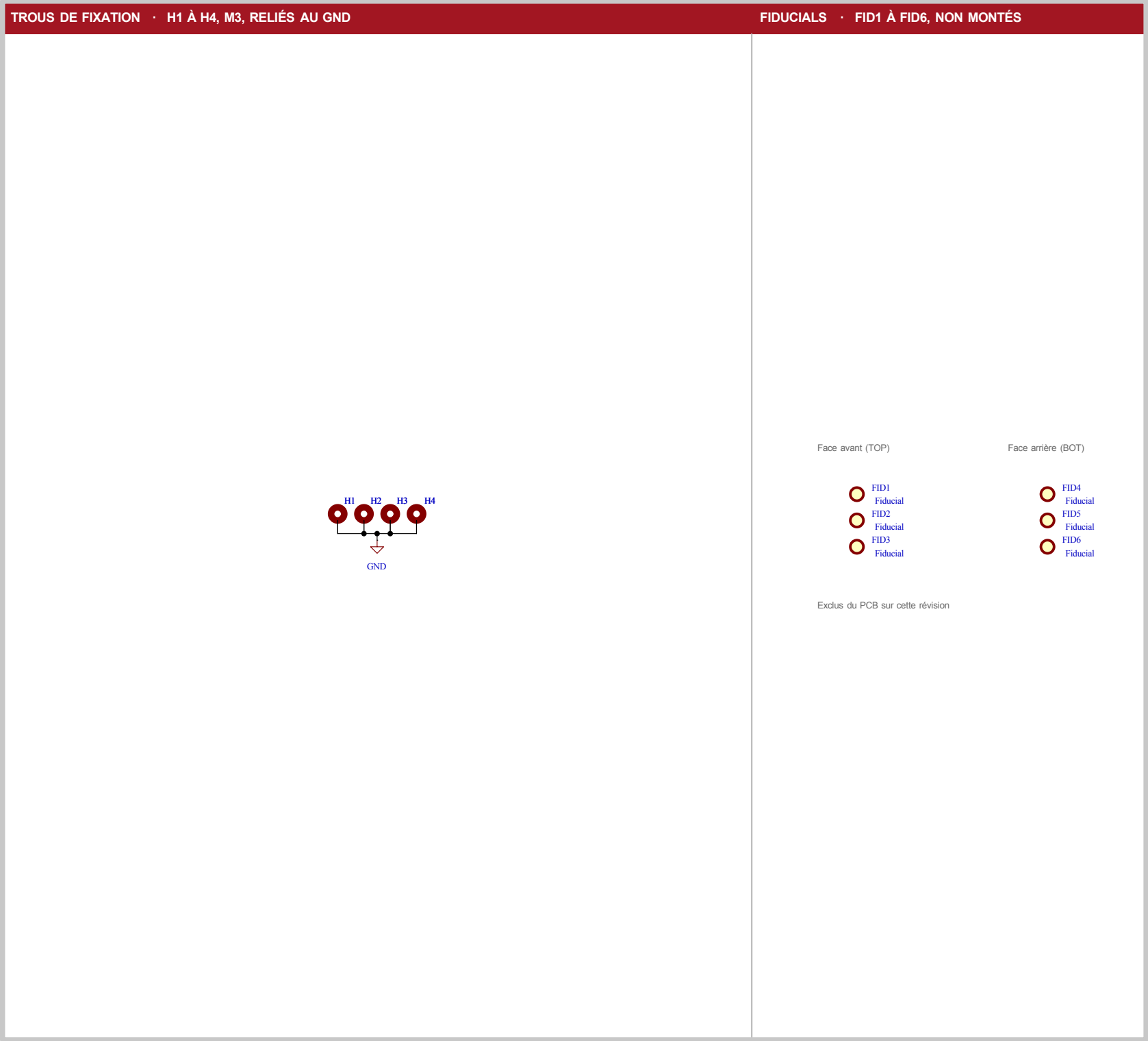
Size:

A3

Sheet:

5 of 9

[6] Holes, Fiducials



DESCRIPTION
Quatre trous de fixation M3 (H1 à H4), métallisés et reliés au GND : ils tiennent la carte et ramènent sa masse au support quand celui-ci est conducteur. Six fiducials (FID1 à FID3 face avant, FID4 à FID6 face arrière) restent au schéma mais sont exclus du PCB sur cette révision.
DESIGN NOTE · FIXATION
- Empreinte MountingHole_3.2mm_M3_Pad_Via : perçage 3.2 mm, pastille Ø6.4 mm, 8 vias Ø0.5 mm autour pour relier toutes les couches. - Reliés au GND : la vis met la masse de la carte au potentiel du support (banc moteur). Pour garder une masse flottante, utiliser des entretoises isolantes. - Fiducials Fiducial_1.5mm_Mask3mm (cuivre Ø1.5 mm, ouverture de vernis Ø3 mm) : à remettre sur le PCB si l'assembleur en demande (3 par face, en coin).
LAYOUT NOTE
- Garder libre l'appui de la tête de vis et de la rondelle autour de chaque trou. - Pas de composant sensible aux contraintes mécaniques près des trous (résonateur Y2, condensateurs céramiques des filtres, page 4).
CALCULS & BUDGET
Vis M3 Tête bombée ISO 7380 : Ø5.7 mm ; tête cylindrique ISO 4762 : Ø5.5 mm Rondelle M3 (ISO 7089) : Ø7 mm → anneau libre de Ø7 mm autour de chaque trou Pastille Ø6.4 mm : la rondelle appuie sur le cuivre GND

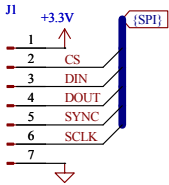
TEST POINTS
Pas de test point sur cette page. Les pastilles GND des trous H1 à H4 servent de point de masse pour la pince de la sonde.

	Comments:	Company:		Variant:	Git Hash:
	References:	OPEN THRUST LAB			ea7f156
		Board Name:		Project Name:	
		AD7190		OPEN_WEIGHT	
Sheet Title:	File Name:	Designer:	Date:	Revision:	
Holes, Fiducials	Holes - Fiducials.kicad_sch	SIEBERT DIMITRY	2026-09-29	+ (Unreleased)	
Sheet Path:	Reviewer:		Size:	Sheet:	
/Project Architecture/Holes, Fiducials/			A3	6 of 9	

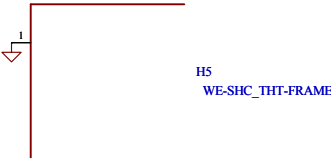
[7] Connectors

CONNECTEURS · J1 HÔTE JST-XH 7 BROCHES · J2 / J4 CELLULES DE CHARGE · H5 BLINDAGE

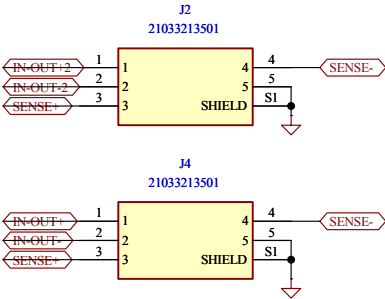
J1 : hôte (alimentation + SPI)



H5 : cadre WE-SHC sur l'AD7190



J2 / J4 : cellules de charge 4 fils



DRAPEAUX D'ALIMENTATION · ERC



+3.3V et GND arrivent de l'hôte par J1 : les PWR_FLAG disent à l'ERC que ces rails sont alimentés.
Le +6V a le sien page 5 (sortie du boost).

DESCRIPTION

J1 : embase JST-XH 7 broches (B7B-XH-AM) vers l'hôte : alimentation +3.3V et bus SPI de l'AD7190.
J2 / J4 : embases circulaires HARTING 21033213501 (5 broches + blindage) pour deux cellules de charge 4 fils : J4 = voie 1 (AIN1/AIN2), J2 = voie 2 (AIN3/AIN4).
Les deux embases partagent l'excitation SENSE+ (commutée par Q1 et BPDSW, page 4) : seuls les fils signal sont séparés.
H5 : cadre de blindage Würth WE-SHC 36503205 (20 × 20 × 3 mm, fer blanc) relié au GND, au-dessus du front-end.

DESIGN NOTE · BROCHAGE

J1 (hôte) : 1 +3.3V · 2 CS · 3 DIN · 4 DOUT/RDY · 5 SYNC · 6 SCLK · 7 GND
J2 / J4 (cellule) : 1 signal (IN-OUT+), 2 signal (IN-OUT-), 3 EXC+ (SENSE+), 4 EXC- (SENSE- / BPDSW), 5 et blindage : GND
• Les deux voies lisent V(broche 2) – V(broche 1) : charge lue négative → inverser les fils signal ou le signe dans le firmware.
• SPI mode 3 uniquement (CPOL = 1, CPHA = 1), SCLK ≤ 5 MHz. Pas de broche DRDY séparée : lire DOUT/RDY avec CS bas.
• Les couleurs de câble varient selon le fabricant : vérifier EXC± et SIG± au multimètre avant la mise sous tension.

LAYOUT NOTE

• H5 couvre U1, les filtres RC et Y2 ; le monter avec son couvercle (openEMS, voie 2 : 15 nV au lieu de 38 nV).
• Blindage (S1) et broche 5 de J2 / J4 au GND, au plus court.
• Paire signal de chaque voie routée ensemble jusqu'aux résistances 100 Ω du filtre (page 4).

CALCULS & BUDGET

Courant pris sur J1 (+3.3V, sim 03) : 66.5 mA avec un pont 350 Ω alimenté
Excitation : 5 V / 350 Ω = 14.3 mA par cellule (deux cellules : 28.6 mA)
Signal : cellule 2 mV/V sous 5 V → 10 mV à pleine charge, pour ±39 mV de pleine échelle (gain 128)
Câble 4 fils : la chute dans les fils d'excitation n'est pas vue par la référence (prise au connecteur) → erreur de gain fixe, corrigée par l'étalonnage système.

TEST POINTS

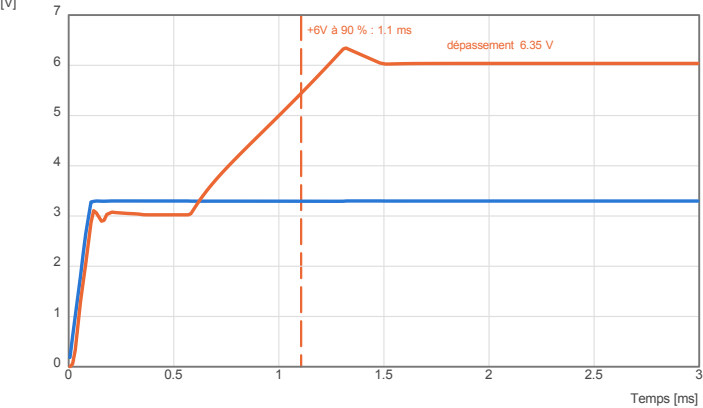
Pas de test point sur cette page. Signaux des connecteurs : TP4 +3.3V, TP3 GND, TP9 / TP8 SENSE±, TP7 / TP6 voie 1 après filtre (page 4).



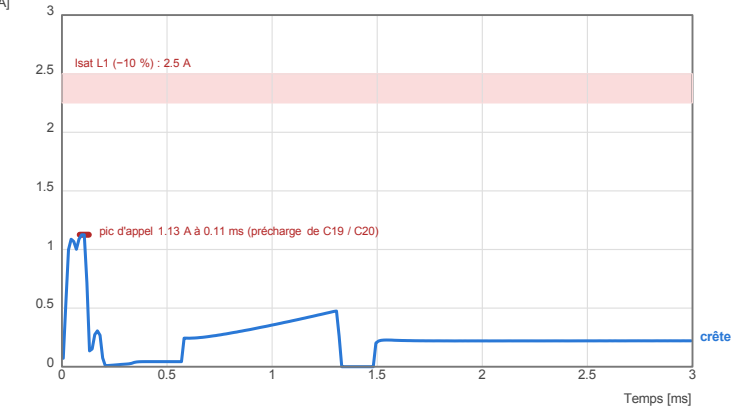
Comments: References: JST XH B7B-XH-AM (J1) J2/J4 21033213501, H5 WE-SHC	Company: OPEN THRUST LAB		Variant:	Git Hash: ea7f156
	Board Name: AD7190		Project Name: OPEN_WEIGHT	
Sheet Title: Connectors	File Name: Connectors.kicad_sch	Designer: SIEBERT DIMITRY	Date: 2026-09-29	Revision: + (Unreleased)
Sheet Path: /Project Architecture/Connectors/		Reviewer:	Size: A3	Sheet: 7 of 9

[8] Power - Sequencing

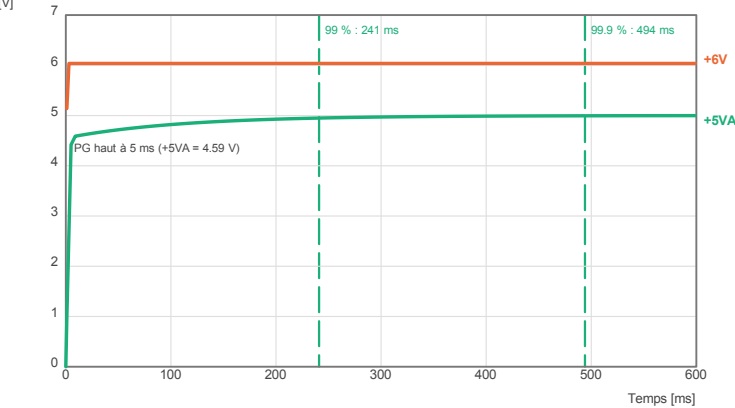
BOOST SOFT-START · SIMULATION 01



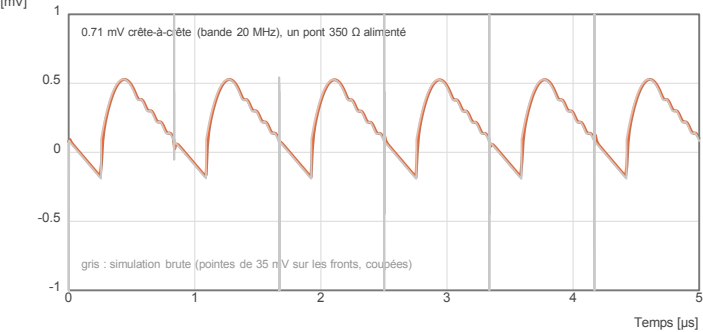
COURANT DANS L1 AU DÉMARRAGE · SIMULATION 01



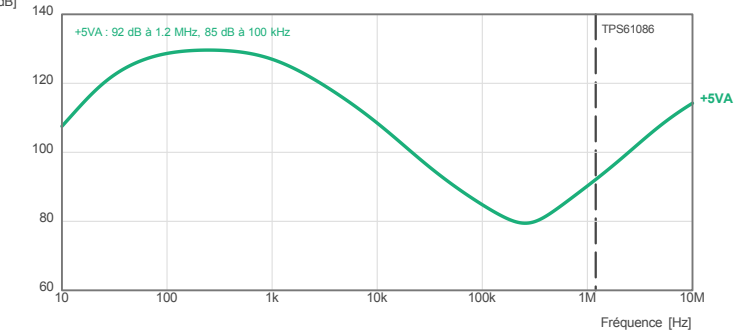
RAILS ANALOGIQUES · SIMULATION 01



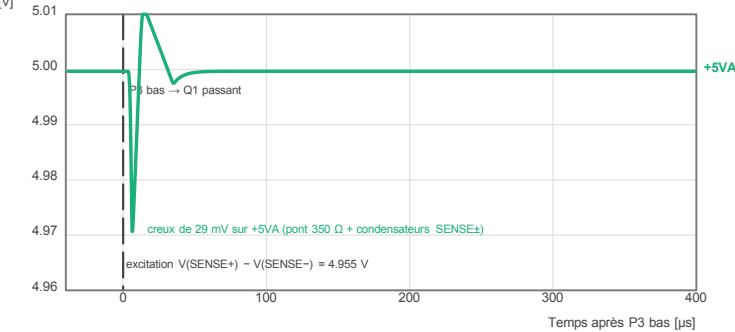
RIPPLE SUR +6V EN RÉGIME ÉTABLI · SIMULATION 03



PSRR +6V → +5VA (LT3042) · SIMULATION 04



MISE SOUS TENSION DU PONT (Q1) · SIMULATION 02



SÉQUENCE DES RAILS (APRÈS APPLICATION DU +3.3V)

NOM	SOURCE	NIVEAU	TEMPS (après application du +3.3V)
+3.3V	Hôte, par J1 (page 7)	3.3 V	t = 0
+6V	IC2 TPS61086, boost 1.2 MHz, soft-start C18	6.04 V	90 % après 1.1 ms, dépassement 6.35 V
PG	U2 LT3042, PGFB = R12 / R13, drain ouvert tiré à +6V	4.59 V	haut après 5 ms : fin du démarrage rapide
+5VA	U2 LT3042, RSET = R9 50 kΩ, CSET = C14 2.2 μF	5.00 V	99 % après 241 ms, 99.9 % après 494 ms (τ = 110 ms)
SENSE±	Q1 (grille sur P3) + BPDSW, commande du firmware	4.955 V	après l'attente de l'hôte (≥ 600 ms)

DESIGN NOTE · SEUILS DE DÉMARRAGE

• TPS61086 : EN relié au +3.3V, démarre dès que VIN passe son UVLO. Le +6V est préchargé à VIN - VF par L1 / D3 avant la première commutation.
• LT3042 : EN/UV relié au +6V. Démarrage rapide (2 mA de plus dans SET) tant que PGFB < 300 mV, soit jusqu'à +5VA = 4.59 V.
• PG ne signale que la fin du démarrage rapide, pas un +5VA établi ; il n'est pas relié à l'hôte.

DESCRIPTION

Ordre et temps d'établissement des rails après l'arrivée du +3.3V (simulations LTspice 01 à 03, modèle comportemental du TPS61086).
Le boost monte en premier, le LT3042 suit le +6V puis finit de monter avec la constante RSET × CSET = 110 ms.
Aucun Power-Good n'est transmis à l'hôte : c'est l'hôte qui attend.

DESIGN NOTE · ATTENTE ≥ 600 MS

+5VA à 99.9 % après 494 ms. L'hôte attend au moins 600 ms après la mise sous tension avant le reset et l'étalonnage de l'AD7190.
PG passe à 1 dès 5 ms : ne pas s'en servir comme signal de départ.

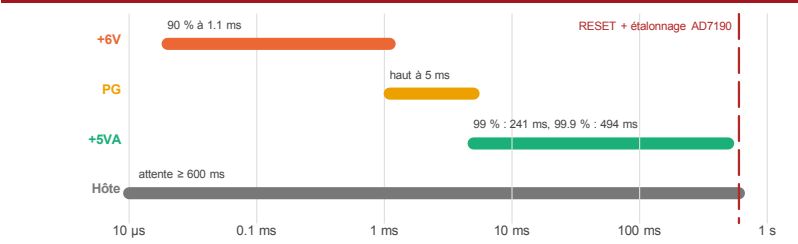
DESIGN NOTE · DÉMARRAGE PLUS RAPIDE

C14 fixe à la fois le démarrage et le filtrage du bruit de la référence du LT3042.
Avec 0.47 μF : τ = 50 kΩ × 0.47 μF = 23.5 ms, +5VA à 99.9 % vers 110 ms, au prix d'un peu plus de bruit basse fréquence.

CALCULS & BUDGET

τ = RSET × CSET = 50 kΩ × 2.2 μF = 110 ms
+5VA(t) = 5 V - 0.41 V × e^{-(t - 5 ms) / τ} après PG
99.9 % : t = 5 ms + τ × ln(0.41 V / 5 mV) = 5 + 110 × 4.41 = 490 ms (sim : 494 ms)
Appel : 1.13 A dans L1 à 0.11 ms, < Isat 2.5 A

CHRONOLOGIE DU DÉMARRAGE (ÉCHELLE LOG)



SÉQUENCE CÔTÉ HÔTE (RECOMMANDÉE)

- Appliquer le +3.3V : le boost démarre seul (EN = VIN).
- Attendre ≥ 600 ms : +5VA à 99.9 %.
- Reset série de l'AD7190 : CS bas, ≥ 40 bits à 1 sur DIN.
- CONF : gain 128, REFIN1, chop. MODE : SINC4, FS = 480.
- Excitation : GPOCON BPDSW = 1, GP32EN = 1, P3DAT = 0. REFIN1 = SENSE± n'existe que pont alimenté.
- Étalonnages internes zéro puis pleine échelle (attendre RDY).
- Étalonnage système (masse connue), puis conversion continue.



Comments:	Company:	Variant:	Git Hash:
References:	OPEN THRUST LAB		ea7f156
Simulation/LTspice : 01, 02, 03, 04 README : Startup sequence	Board Name:	Project Name:	
	AD7190	OPEN_WEIGHT	
Sheet Title:	File Name:	Designer:	Date:
Power - Sequencing	Power - Sequencing.kicad_sch	SIEBERT DIMITRY	2026-09-29
Sheet Path:		Reviewer:	Revision:
/Power - Sequencing/			+ (Unreleased)
		Size:	Sheet:
		A3	8 of 9

[9] Revision History

Version Unreleased
Added
- AD7190 front-end, 2 load-cell inputs - +3.3V -> TPS61086 6 V -> LT3042 +5VA - Self-contained libs and 3D models (lib/) - JLCPCB 4-layer rules and stackup - LTspice simulations (Simulation/LTspice) - openEMS layout coupling (Simulation/openEMS)
Changed
- Renamed to OPEN_WEIGHT, KiCad 10 - Schematic restyled like OPEN_PHASE: A3 sheets, note panels, logo in title block - Boost and LDO sheets merged into Power Supply - Analog Rails (page 5) - Bottom silkscreen: test point tags, J1 pinout, load-cell wiring panel - 3D animation re-rendered with kicad-cli, OPEN_PHASE style
Fixed
- Connectors not linked to ADC in schematic - AD7190 solder-mask bridges

	Comments:		Company: OPEN THRUST LAB		Variant:	Git Hash: ea7f156
	Board Name: AD7190		Project Name: OPEN_WEIGHT			
	Sheet Title: Revision History	File Name: Revision History.kicad_sch	Designer: SIEBERT DIMITRY	Date: 2026-09-29	Revision: + (Unreleased)	
Sheet Path: /Revision History/			Reviewer:	Size: A3	Sheet: 9 of 9	